

PCT/PTO 13 MAY 2005

PCT/KR 03/00415

RO/KR 04.03.2003

10/534/05

#2



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0070707  
Application Number

REC'D 19 MAR 2003

WIPO PCT

출원 년 월 일 : 2002년 11월 14일  
Date of Application NOV 14, 2002

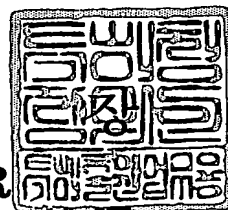
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 04 일

특 허 청

COMMISSIONER



PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.14
【발명의 명칭】	박막 트랜지스터 기판 및 그의 제조 방법
【발명의 영문명칭】	Thin film transistor array panel and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	김보성
【성명의 영문표기】	KIM,BO SUNG
【주민등록번호】	671023-1094819
【우편번호】	151-812
【주소】	서울특별시 관악구 봉천6동 100-524번지 송현빌라 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	이용욱
【성명의 영문표기】	LEE,YONG UK
【주민등록번호】	720627-1010016
【우편번호】	462-170
【주소】	경기도 성남시 중원구 중동 약수아파트 309호
【국적】	KR
【발명자】	
【성명의 국문표기】	홍문표
【성명의 영문표기】	HONG,MUN PYO

【주민등록번호】 630420-1067918  
【우편번호】 463-833  
【주소】 경기도 성남시 분당구 정자동 한솔마을 청구아파트 112동 205호  
【국적】 KR  
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 유미특허법  
인 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 11 면 11,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 0 항 0 원  
【합계】 40,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에 따른 박막 트랜지스터 기판은 절연 기판, 절연 기판 위에 형성되어 있으며 복수개로 분리된 게이트 부분과 이들 게이트 부분 사이를 연결하는 게이트 연결부로 이루어지는 게이트 배선, 게이트 배선과 절연되어 교차하는 데이터 배선, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극을 포함한다.

**【대표도】**

도 1a

**【색인어】**

박막트랜지스터기판, 게이트배선, 데이터배선, 절개부

## 【명세서】

## 【발명의 명칭】

박막 트랜지스터 기판 및 그의 제조 방법{Thin film transistor array panel and manufacturing method thereof}

## 【도면의 간단한 설명】

도 1a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도 1b 및 도 1c는 각각 도 1a의 Ib-Ib', Ic-Ic'선에 대한 단면도이다.

도 2a 내지 도 5a는 본 발명의 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법을 순서대로 도시한 배치도이다.

도 2b 내지 도 5c는 각각 도 2a 내지 도 5a의 절단선에 대한 단면도이다.

도 6 내지 도 9는 본 발명의 제2 내지 제5 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

## \*도면의 주요 부분에 대한 참조 부호 설명\*

110 : 절연 기판

120, 121, 123, 125 : 게이트 배선

140 : 게이트 절연층

141, 142, 143 : 제1 내지 제3 접촉구

170, 171, 173, 175, 179 : 데이터 배선

180 : 보호층

181, 182, 183 : 제4 내지 제6 접촉구

01, 02 : 절개부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 박막 트랜지스터 기판 및 그의 제조 방법에 관한 것이다.
- <12> 박막 트랜지스터 기판은 노트북, 모니터, 텔레비전, 핸드폰 등의 다양한 표시 장치에 널리 이용되고 있다. 따라서 더욱 얇고 가벼우며, 값싸고 튼튼한 플렉서블(flexible) 기판이 요구되고 있다. 이러한 플렉서블 한 기판을 얻기 위해서는 박막 트랜지스터를 형성하는 절연 기판을 플렉서블 한 기판을 사용하여야 한다.
- <13> 이러한 기판 재료로서 고내열성, 고투과성, 저수축성의 플라스틱 기판 또는 매우 얇아서 깨지지 않고 쉽게 휘 수 있는 유리를 사용하거나 이들의 하이브리드형을 사용한다.
- <14> 그러나 플렉서블 한 기판 위에 화학적 기상 증착(CVD) 또는 스퍼터(sputter)를 통하여 얇은 실리콘 산화막이나 금속막을 적층할 경우 스트레스에 의해 기판이 휘게 되는 문제가 발생한다.
- <15> 기판에 형성되는 게이트 배선 또는 데이터 배선과 비정질 규소층등의 활성층은 증착 후 사진 식각 공정으로 패터닝을 하기 때문에 초기 적층시 발생하는 스트레스가 식각되면서 완화될 수 있다. 그러나 박막 트랜지스터에서 게이트 배선 또는 데이터 배선은 기판의 가로 또는 세로 방향으로 길게 형성되어 있기 때문에 이들이 형성되어 있는 길이 방향으로의 스트레스를 완화시키기는 어렵다. 또한, 게이트 절연층과 보호층은 식각되는

면적이 작기 때문에 초기 스트레스가 공정이 완료될 때까지 유지되므로 기판이 휘게되는 원인이 된다.

<16> 기판이 휘 경우 사진 공정시 미스 얼라인이나 코팅 공정시 진공 미흡착 등에 의해 연속되는 후단 공정을 진행하기 어렵거나 불가능하게 되는 문제가 발생한다. 또한 디스플레이를 제작한 후 디스플레이가 처음부터 휘어 있거나 구불구불한 상태로 존재한다면 제품으로서의 가치가 떨어지는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 상기한 문제점을 달성하기 위해서 본 발명은 게이트 배선, 데이터 배선 또는 보호층, 게이트 절연층을 복수개의 패턴으로 형성하여 기판에 전달되는 스트레스를 최소화할 수 있는 박막 트랜지스터 기판 및 그의 제조 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<18> 상기한 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터 기판은 절연 기판, 절연 기판 위에 형성되어 있으며 복수개로 분리된 게이트 부분과 이들 게이트 부분 사이를 연결하는 게이트 연결부로 이루어지는 게이트 배선, 게이트 배선과 절연되어 교차하는 데이터 배선, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극을 포함한다. 여기서 데이터 배선은 복수개의 분리된 데이터 부분과 복수개의 데이터 부분 사이를 연결하는 데이터 연결부에 의해 연결되어 있다.

<19> 그리고 게이트 배선과 데이터 배선을 절연하며 복수개의 부분으로 분리되어 있는 게이트 절연층을 더 포함하는 것이 바람직하다. 또한, 박막 트랜지스터를 덮고 있으며 복수개의 부분으로 분리되어 있는 보호층을 더 포함할 수 있다.

<20> 본 발명에 따른 다른 박막 트랜지스터 기판은 절연 기판, 절연 기판 위에 형성되어 있는 게이트 배선, 게이트 배선 위에 제1 및 제2 접촉구를 가지도록 형성되어 있는 게이트 절연층, 게이트 절연층의 소정 영역에 형성되어 있는 반도체층, 반도체층의 소정 영역을 제외하고 반도체층과 동일한 패턴으로 형성되어 있는 저항성 접촉층, 게이트 배선과 절연되어 교차하도록 형성되며 저항성 접촉층과 일부 중첩되도록 형성되어 있는 데이터 배선, 데이터 배선 위에 데이터 배선을 노출하는 제3접촉구를 가지도록 형성되어 있는 보호층, 보호층 위에 형성되며 제3 접촉구를 통해 데이터 배선과 연결되도록 형성되어 있는 화소 전극을 포함하고, 게이트 배선은 제1 및 제2 게이트 배선으로 이루어지고, 제1 및 제2 게이트 배선은 제1 접촉구를 통해 데이터 배선과 동일한 층에 형성되어 있는 게이트 연결부와 연결되어 있다.

<21> 그리고 데이터 배선은 제1 및 제2 데이터 배선으로 이루어지고, 제1 및 제2 데이터 배선은 제2 접촉구를 통해 게이트 배선과 동일한 층에 형성되어 있는 데이터 연결부와 연결되어 있는 것이 바람직하다.

<22> 여기서 제1 게이트 배선 및 제2 게이트 배선은 일방향으로 긴 게이트선, 게이트선의 일부분인 게이트 전극을 포함하고, 제1 게이트 배선은 게이트선의 일단에 형성되어 있는 게이트 패드를 더 포함하고, 제1 데이터 배선 및 제2 데이터 배선은 일방향으로 긴 데이터선, 데이터선의 일부분으로 저항성 접촉층과 일부 중첩되는 소스 전극, 소스 전극



과 대향되며 저항성 접촉층과 일부 중첩되는 드레인 전극을 포함하고, 제1 데이터 배선은 데이터선의 일단에 형성되어 있는 데이터 패드를 더 포함하는 것이 바람직하다.

<23> 이러한 게이트 배선 및 데이터 배선은 교차하여 화소 영역을 정의하고, 화소 영역 내에 형성되어 있는 게이트 절연층 및 보호층 중 적어도 한 개 층의 소정 영역이 제거되어 있다. 그리고 게이트 절연층 및 보호층은 게이트 배선과 평행한 절개부에 의해 복수개로 나뉘어지고, 절개부는 인접한 게이트 배선 사이에 위치하며 제거된 화소 영역의 소정 영역과 연결되어 있는 것이 바람직하다.

<24> 이상 기술한 박막 트랜지스터 기판을 형성하는 방법은 절연 기판 위에 제1 게이트 배선, 제2 게이트 배선 및 데이터 연결부를 형성하는 단계, 기판 위에 게이트 절연층을 형성하는 단계, 게이트 배선의 일부분과 중첩하는 게이트 절연층 위에 반도체층 및 저항성 접촉층 패턴을 형성하는 단계, 게이트 절연층에 제1 접촉구, 제2 접촉구를 형성하는 단계, 기판 위에 제1 접촉구를 통해 제1 및 제2 게이트 배선과 연결되는 게이트 연결부, 저항성 접촉층과 일부분이 중첩되며 데이터 연결부와 제2 접촉구를 통해 연결되는 제1 및 제2 데이터 배선을 형성하는 단계, 데이터 배선을 마스크로 저항성 접촉층 패턴의 소정 영역을 식각하여 저항성 접촉층을 형성하는 단계, 기판 위에 제3접촉구를 가지는 보호층을 형성하는 단계, 보호층 위에 제3 접촉구를 통해 데이터 배선과 연결되는 화소 전극을 형성하는 단계를 포함한다.

<25> 여기서 제1 및 제2 접촉구를 형성하는 단계에서, 게이트 절연층에 게이트 절연층을 복수개로 나누기 위한 절개부를 형성하는 단계를 더 포함한다.

<26> 그리고 제3 접촉구를 가지는 보호층을 형성하는 단계에서, 보호층에 보호층을 복수개로 나누기 위한 절개부를 형성하는 단계를 더 포함한다.

<27> 이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<28> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우 뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<29> 이제 본 발명의 실시예에 따른 박막 트랜지스터 기판에 대하여 도면을 참고로 하여 상세하게 설명한다.

<30> [제1 내지 제5 실시예]

<31> 도 1a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판을 도시한 배치도이고, 도 1b, 1c는 각각 도 1a의 Ib-Ib', 1c-1c'선에 대한 단면도이다.

<32> 도 1a 내지 도 1c에 도시한 바와 같이, 투명한 절연 기판(110) 위에 게이트 배선의 일부분(121a, 121b, 123, 125) 및 데이터 연결부(170)가 형성되어 있다.

<33> 게이트 배선(120, 121, 123, 125)은 게이트선(121), 게이트 전극(123), 게이트 패드(125) 및 게이트 연결부(120)를 포함한다. 게이트선(121)은 가로 방향으로 불연속적으로 형성되어 있고, 게이트 전극(123)은 게이트선(121)에 연결되어 있고, 게이트 패드

(125)는 게이트선(121)의 일단에 형성되어 외부로부터 게이트 신호를 인가 받아 게이트선(121)에 전달한다.

<34> 또한, 게이트선(121)은 게이트 패드(125)가 형성되어 있는 제1 게이트선(121a)과 게이트 패드(125)가 형성되지 않은 제2 게이트선(121b)으로 이루어진다. 여기서 제1 게이트선(121a)은 한 개이고, 제2 게이트선(121b)은 복수 개 형성되며 이들은 각각 일정 거리 떨어져서 형성되어 있다.

<35> 게이트 연결부(120)는 이후에 기술되는 데이터 패드(125)와 동일한 층에 형성되어 있으며 제1 접촉구(141)를 통해 연결되어 불연속적인 게이트선(121)을 전기적으로 연결되도록 한다.

<36> 그리고 데이터 연결부(170)는 게이트선(121)과 수직한 방향으로 형성되어 있으며 게이트선(121)과 일정거리 떨어져서 형성되어 있다.

<37> 게이트 배선의 일부분(121, 123, 125) 및 데이터 연결부(170)를 포함하는 기판 전면에 게이트 절연층(140)이 형성되어 있다. 게이트 절연층(140)은 제1 게이트선(121a) 및 제2 게이트선(121b)의 일단이 노출되는 제1 접촉구(141), 데이터 연결부(170)가 노출되는 제2 접촉구(142), 게이트 패드(125)가 노출되는 제3 접촉구(143)를 포함한다.

<38> 접촉구는 도 1a에 도시한 바와 같이 형성할 수도 있으나 도 6에 도시한 바와 같이, 접촉구 아래의 하부 금속 배선보다 작게 형성할 수도 있다(제2 실시예). 그러나 이러한 경우 금속 배선을 이중구조, 즉 크롬/알루미늄의 이중으로 형성한 후 접촉구 형성시 알루미늄과 크롬의 식각비가 다르기 때문에 알루미늄이 과식각되어 언더컷 구조가

형성될 수 있다. 따라서 본 발명의 제2 실시예와 같이, 금속 배선 보다 접촉구를 크게 형성하는 것이 바람직하다.

<39> 그리고 게이트 절연층(140)은 제1 및 제2 개구부(01, 02)에 의해 상하가 분리되도록 형성되어 있다. 즉, 제1 개구부(01)는 게이트 배선(120, 121, 123, 125)과 이후에 기술되는 데이터 배선(170, 171, 173, 175, 179)에 의해 정의되는 화소 영역 내의 소정 영역이 제거된 영역이고, 제2 개구부(02)는 인접한 게이트 배선(120, 121, 123, 125) 사이에 위치하며, 게이트 배선(120, 121, 123, 125)과 평행한 방향으로 형성되어 게이트 절연층(140)을 상하가 분리된 복수개의 패턴으로 이루어 지도록 한다. 그리고 제2 개구부(02)는 제1 개구부(01) 사이를 연결하도록 형성되어 있다.

<40> 제1 절개부(01)의 형태는 기판(110)에 전달되는 스트레스에 따라 도 7 및 도 8 에서와 같이, 제거되는 영역을 다르게 한다(제3 및 제4 실시예). 이때 제거되는 영역의 형태는 어떠한 형태라도 무방하다.

<41> 게이트 전극(123)과 대응되는 부분의 게이트 절연층(140) 바로 위에는 비정질 규소와 같은 반도체 물질로 형성한 반도체층(154)과, 비정질 규소와 같은 반도체 물질에 불순물을 고농도로 도핑하여 형성한 저항성 접촉층(163, 165)이 형성되어 있다. 저항성 접촉층(163, 165)은 드레인부 접촉층(165), 소스부 접촉층(163)으로 이루어지며, 반도체층(154)의 소정 영역을 제외하고 반도체층(154)과 동일한 평면 패턴을 가지도록 형성되어 있다. 소정 영역은 소스 전극(173)과 드레인 전극(175) 사이의 채널을 형성하는 채널 영역이다.

<42> 저항성 접촉층(163, 165) 및 게이트 절연층(140) 위에는 데이터 배선의 일부분(171, 173, 175, 179) 및 게이트 연결부(120)가 형성되어 있다.

<43> 데이터 배선(170, 171, 173, 175, 179)은 데이터선(171), 소스 전극(173), 드레인 전극(175), 데이터 패드(179) 및 데이터 연결부(170)를 포함한다. 데이터선(171)은 불연속적으로 형성되어 있으며 게이트선(121)과 수직하게 교차하여 화소 영역을 정의하고, 소스 전극(173)은 데이터선(171)의 분지로 소스부 접촉층(163)과 일부 중첩되도록 형성되고, 드레인 전극(175)은 채널 영역을 사이에 두고 소스 전극(173)의 반대쪽에 위치하며 드레인부 접촉층(165)과 일부 중첩되도록 형성되어 있고, 데이터 패드(179)는 데이터선(171)의 일단에 연결되어 있으며 외부로부터의 화상 신호를 인가 받는다.

<44> 또한, 데이터선(171)은 데이터 패드(179)가 형성되어 있는 제1 데이터선(171a), 데이터 패드(179)가 형성되지 않은 제2 데이터선(171b)으로 이루어진다. 여기서 제1 데이터선(171a)은 한 개이고, 제2 데이터선(171b)은 복수 개 형성되며 각각은 일정거리 떨어져 형성되어 있다.

<45> 그리고 데이터 연결부(170)는 게이트 배선(121, 123, 125)과 동일한 층에 형성되어 있으며 제2 접촉구(142)를 통해 연결되어 있다.

<46> 데이터 배선(171, 173, 175, 179) 및 게이트 연결부(120) 위에 보호층(180)이 형성되어 있다. 보호층(180)에는 제4 내지 제6 접촉구(181 내지 183)가 형성되어 있다. 제4 접촉구(181)는 드레인 전극(175)을 노출하고, 제5 접촉구(182)는 게이트 패드(125)를 노출하고, 제6 접촉구(183)는 데이터 패드(179)를 노출한다.

<47> 보호층(180) 위에는 제3 접촉구(181)를 통해 각각 드레인 전극(175)과 연결되는 화소 전극(190), 제4 접촉구(182)를 통해 게이트 패드(125)와 연결되는 보조 게이트 패드(95), 제5 접촉구(183)를 통해 데이터 패드(179)와 연결되는 보조 데이터 패드(97)가 형성되어 있다.

- <48> 보조 게이트 패드(95) 또는 보조 데이터 패드(97)는 외부 회로 장치와의 접촉성을 보완하고 패드(125, 179)를 보호하는 역할을 하는 것으로 필수적인 것은 아니며 이들의 적용 여부는 선택적이다.
- <49> 여기서 보호층(180)은 게이트 절연층(140)과 같이 소정 영역을 제거할 수 있다(제5 실시예). 도 9는 게이트 절연층(140) 및 보호층(180)의 소정 영역이 제거된 박막 트랜지스터의 배치도이다. 도시한 바와 같이, 기판에 전달되는 스트레스를 더욱 감소시키기 위해서 화소 영역 내에 형성되어 있는 보호층의 소정 영역(03) 및 게이트 배선(120, 121, 123, 125)과 평행한 절개부(04)를 형성하여 상하가 분리되도록 형성할 수 있다.
- <50> 이와 같이, 게이트 배선(120, 121, 123, 125) 및 데이터 배선(17, 171, 173, 175, 179)의 중간의 소정 영역을 제거하여 배선이 복수개의 부분으로 분리되도록 형성하면 종래의 게이트선 또는 데이터선의 길이 방향으로 발생하는 스트레스를 감소시킬 수 있다.
- <51> 또한, 게이트 절연층 및 보호층이 기판의 전면을 덮고 있어, 기판에 가장 많은 스트레스를 주었으나 본 발명에서와 같이 이들 층의 일부를 제거하면 기판에 전달되는 스트레스를 최소화하여 기판이 휘는 현상을 감소시킬 수 있다.
- <52> 이상 설명한 박막 트랜지스터 기판을 제조하는 방법을 도 2a 내지 도 5c를 참조하여 설명하면 다음과 같다.
- <53> 도 2a 내지 도 5c 본 발명에 따른 박막 트랜지스터 기판의 제조 방법을 공정 순서대로 도시한 배치도이고, 도 2b 내지 도 2c는 각각 도 2a 내지 도 5a의 절단선에 대한 단면도이다.

- <54> 먼저 도 2a 내지 2c에 도시한 바와 같이, 투명한 절연 기판(110) 위에 금속층을 형성한 후 사진 식각 공정으로 패터닝하여 게이트 배선의 일부분(121, 123, 125) 및 데이터 연결부(170)를 형성한다.
- <55> 도 3a 내지 도 3c에 도시한 바와 같이, 게이트 배선(121, 123, 125) 위에 게이트 절연층(140), 불순물이 도핑되지 않은 비정질 규소층 및 불순물이 고농도로 도핑된 비정질 규소층을 형성한 후 사진 식각 공정으로 비정질 규소층을 식각하여 게이트 전극(123)과 대응하는 게이트 절연층(140)의 바로 위에 반도체층(154)과 저항성 접촉층 패턴(160A)을 형성한다.
- <56> 도 4a 내지 도 4c에 도시한 바와 같이, 게이트 절연층(140)을 패터닝하여 제1 내지 제3 접촉구(141, 142, 143)를 형성한다. 동시에 화소 영역 내의 게이트 절연층(140) 및 게이트 배선(121, 123, 125)과 평행한 방향으로 게이트 절연층(140)을 제거하여 제1 및 제2 절개부(01, 02)를 형성한다.
- <57> 제3 접촉구(143)는 후에 보호층에 접촉구를 형성할 때 형성할 수도 있다. 그러나 이때는 보호층 뿐만 아니라 게이트 절연층(140)도 제거하여야 하기 때문에 보호층만을 제거하여 형성되는 접촉구가 과식각 되어 접촉구 아래에 언더컷을 형성할 수 있다. 따라서 제3 접촉구(143)를 제1 및 제2 접촉구(141, 142)와 동시에 형성하는 것이 바람직하다.
- <58> 도 5a 내지 도 5c에 도시한 바와 같이, 저항성 접촉층 패턴(160A)을 포함하는 기판 위에 금속층을 형성한 후 사진 식각 공정으로 패터닝하여 데이터 배선(171, 173, 175, 179) 및 게이트 연결부(120)을 형성한다.

<59> 이후 데이터 배선(171, 173, 175, 179)을 마스크로 소스 전극(173) 및 드레인 전극(175) 사이의 저항성 접촉층(160A)를 제거하여, 반도체층(154)의 일부분을 노출한다

<60> 마지막으로 데이터 배선(171, 173, 175, 179) 및 게이트 연결부를 포함하는 기판 전면에 보호층(180)을 형성한다. 그리고 보호층(180)을 패터닝하여 제4 내지 제6 접촉구(181 내지 183)를 형성한다. 여기서 제4 접촉구(181)는 드레인 전극(179)을 노출하고, 제5 접촉구(182)는 제3 접촉구(143)를 노출하고, 제6 접촉구(183)는 데이터 패드(179)를 노출한다.

<61> 그리고 보호층(180) 위에 투명한 금속층을 형성한 후 패터닝하여 제4 접촉구(181)를 통해 드레인 전극과 연결되는 화소 전극(190), 제5 접촉구(182)를 통해 게이트 패드(125)와 연결되는 보조 게이트 패드(95), 제6 접촉구(183)를 통해 데이터 패드(179)와 연결되는 보조 데이터 패드(97)를 형성한다(도 1a 내지 도 1c참조).

<62> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 【발명의 효과】

<63> 이상 기술된 바와 같이, 게이트 배선 및 데이터 배선의 일부분을 제거하여 복수개의 부분으로 이루어지는 배선을 형성하면, 배선의 길이 방향으로 발생하는 스트레스를 감소시킬 수 있다.



<64> 또한, 게이트 절연층 및 보호층 등과 같이, 기판 전체에 형성되어 있는 층의 소정 영역을 제거하여 기판에 전달되는 스트레스를 더욱 감소시킬 수 있다. 따라서 기판이 휘는 현상을 최소화하여 고품질의 박막 트랜지스터 기판을 제공할 수 있다.

## 【특허청구범위】

## 【청구항 1】

절연 기판,

상기 절연 기판 위에 형성되어 있으며 복수개로 분리된 게이트 부분과 상기 게이트 부분 사이를 연결하는 게이트 연결부로 이루어지는 게이트 배선,

상기 게이트 배선과 절연되어 교차하는 데이터 배선,

상기 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터,

상기 박막 트랜지스터와 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 기판.

## 【청구항 2】

제1항에서,

상기 데이터 배선은 복수개의 분리된 데이터 부분과 상기 복수개의 데이터 부분 사이를 연결하는 데이터 연결부를 포함하는 박막 트랜지스터 기판.

## 【청구항 3】

제1항에서,

상기 게이트 배선과 상기 데이터 배선을 절연하며 복수개의 부분으로 분리되어 있는 게이트 절연층을 더 포함하는 박막 트랜지스터 기판.

## 【청구항 4】

제1항에서,

상기 박막 트랜지스터를 덮고 있으며 복수개의 부분으로 분리되어 있는 보호층을 더 포함하는 박막 트랜지스터 기판.

【청구항 5】

제1항에서,

상기 게이트 연결부는 상기 데이터 부분과 동일한 층에 형성되어 있으며 상기 게이트 절연층에 형성되어 있는 제1 접촉구를 통해 상기 게이트 부분과 연결되어 있는 박막 트랜지스터 기판.

【청구항 6】

제2항에서,

상기 데이터 연결부는 상기 게이트 부분과 동일한 층에 형성되어 있으며 상기 게이트 절연층에 형성되어 있는 제2 접촉구를 통해 상기 데이터 부분과 연결되어 있는 박막 트랜지스터 기판.

【청구항 7】

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트 배선,

상기 게이트 배선 위에 제1 및 제2 접촉구를 가지도록 형성되어 있는 게이트 절연층,

상기 게이트 절연층의 소정 영역에 형성되어 있는 반도체층,

상기 반도체층의 소정 영역을 제외하고 상기 반도체층과 동일한 패턴으로 형성되어 있는 저항성 접촉층,

상기 게이트 배선과 절연되어 교차하도록 형성되며 상기 저항성 접촉층과 일부 중첩되도록 형성되어 있는 데이터 배선,

상기 데이터 배선 위에 상기 데이터 배선을 노출하는 제3접촉구를 가지도록 형성되어 있는 보호층,

상기 보호층 위에 형성되며 상기 제3 접촉구를 통해 상기 데이터 배선과 연결되도록 형성되어 있는 화소 전극을 포함하고,

상기 게이트 배선은 제1 및 제2 게이트 배선 및 상기 데이터 배선과 동일한 층에 형성되어 있는 게이트 연결부로 이루어지고, 상기 제1 및 제2 게이트 배선은 상기 제1 접촉구를 통해 상기 게이트 연결부와 연결되어 있는 박막 트랜지스터 기판.

【청구항 8】

제7항에서,

상기 데이터 배선은 제1 및 제2 데이터 배선 및 상기 게이트 배선과 동일한 층에 형성되어 있는 데이터 연결부로 이루어지고, 상기 제1 및 제2 데이터 배선은 상기 제2 접촉구를 통해 상기 데이터 연결부와 연결되어 있는 박막 트랜지스터 기판.

【청구항 9】

제7항에서

상기 제1 게이트 배선 및 제2 게이트 배선은 일방향으로 긴 게이트선,

상기 게이트선의 일부분인 게이트 전극을 포함하고,

상기 제1 게이트 배선은 상기 게이트선의 일단에 형성되어 있는 게이트 패드를 더 포함하는 박막 트랜지스터 기판.

## 【청구항 10】

제7항에서,

상기 게이트 배선 및 상기 데이터 배선은 교차하여 화소 영역을 정의하고, 상기 화소 영역 내에 형성되어 있는 상기 게이트 절연층 및 상기 보호층 중 적어도 한 개 층의 소정 영역이 제거되어 있는 박막 트랜지스터 기판.

## 【청구항 11】

제 8항에서,

상기 제1 데이터 배선 및 제2 데이터 배선은 일방향으로 긴 데이터선,

상기 데이터선의 일부분으로 상기 저항성 접촉층과 일부 중첩되는 소스 전극,

상기 소스 전극과 대향되며 상기 저항성 접촉층과 일부 중첩되는 드레인 전극을 포함하고,

상기 제1 데이터 배선은 상기 데이터선의 일단에 형성되어 있는 데이터 패드를 더 포함하는 박막 트랜지스터 기판.

## 【청구항 12】

제10항에서,

상기 게이트 절연층 및 보호층 중 적어도 하나의 층은 상기 게이트 배선과 평행한 절개부에 의해 복수개로 나뉘어지고, 상기 절개부는 인접한 상기 게이트 배선 사이에 위치하며 상기 제거된 화소 영역의 소정 영역과 연결되어 있는 박막 트랜지스터 기판.

## 【청구항 13】

절연 기판 위에 제1 게이트 배선, 제2 게이트 배선 및 데이터 연결부를 형성하는 단계,

상기 기판 위에 게이트 절연층을 형성하는 단계,

상기 게이트 배선의 일부분과 중첩하는 상기 게이트 절연층 위에 반도체층 및 저항성 접촉층 패턴을 형성하는 단계,

상기 게이트 절연층에 제1 접촉구, 제2 접촉구를 형성하는 단계,

상기 기판 위에 상기 제1 접촉구를 통해 상기 제1 및 제2 게이트 배선과 연결되는 게이트 연결부, 상기 저항성 접촉층과 일부분이 중첩되며 상기 데이터 연결부와 상기 제2 접촉구를 통해 연결되는 제1 및 제2 데이터 배선을 형성하는 단계,

상기 데이터 배선을 마스크로 상기 저항성 접촉층 패턴의 소정 영역을 식각하여 저항성 접촉층을 형성하는 단계,

상기 기판 위에 제3접촉구를 가지는 보호층을 형성하는 단계,

상기 보호층 위에 상기 제3 접촉구를 통해 상기 데이터 배선과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

## 【청구항 14】

제13항에서,

상기 제1 및 제2 접촉구를 형성하는 단계에서,

상기 게이트 절연층에 상기 게이트 절연층을 복수개로 나누기 위한 절개부를 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

【청구항 15】

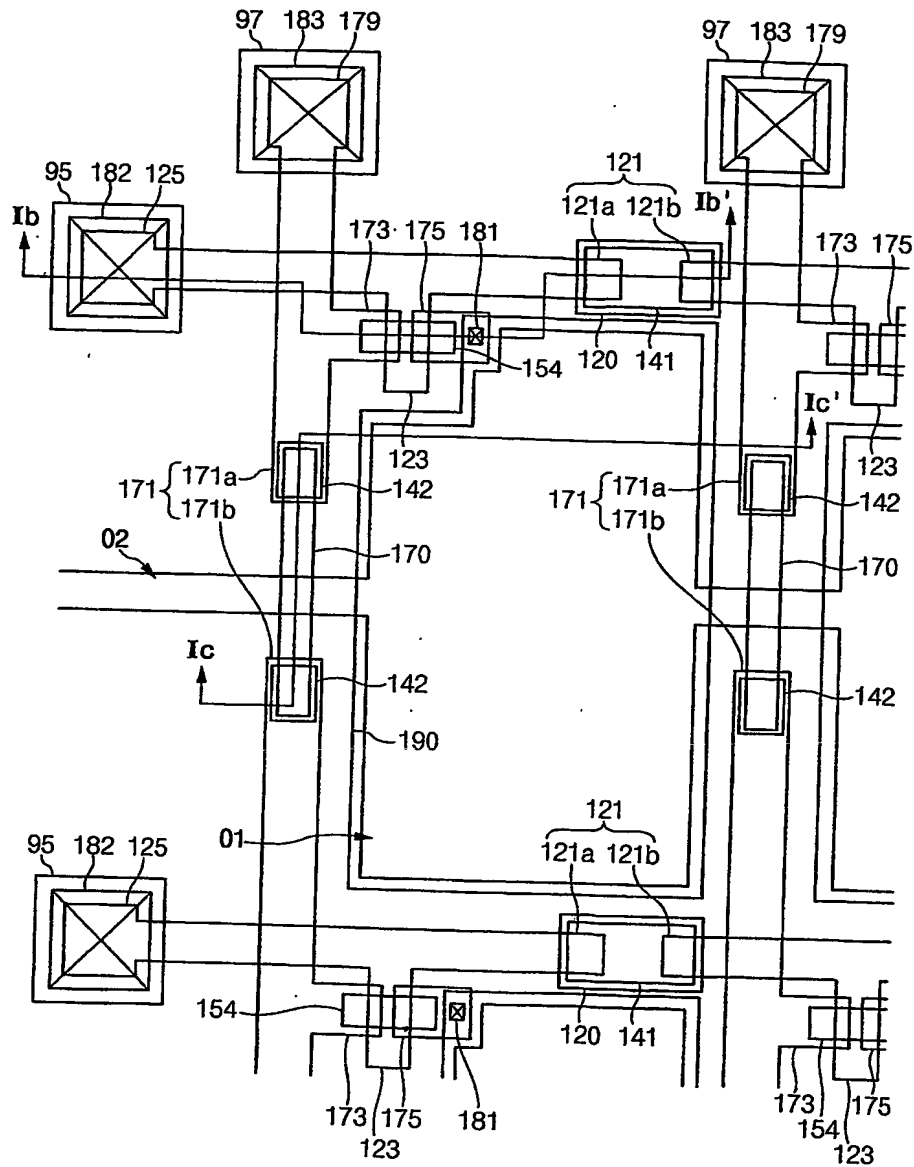
제13항에서,

상기 제3 접촉구를 가지는 보호층을 형성하는 단계에서,

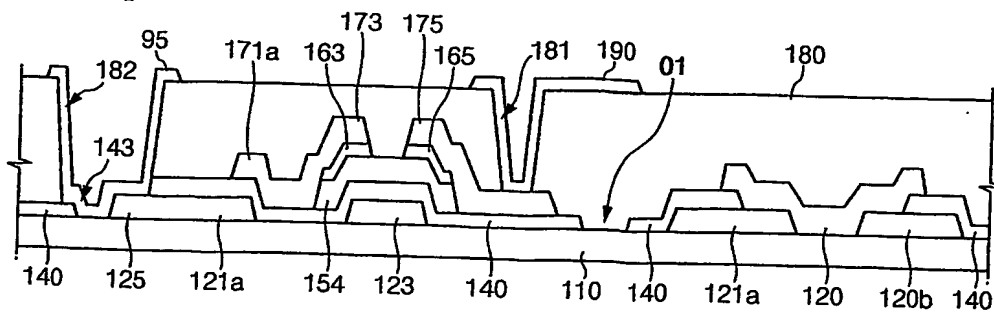
상기 보호층에 상기 보호층을 복수개로 나누기 위한 절개부를 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

【도면】

【도 1a】

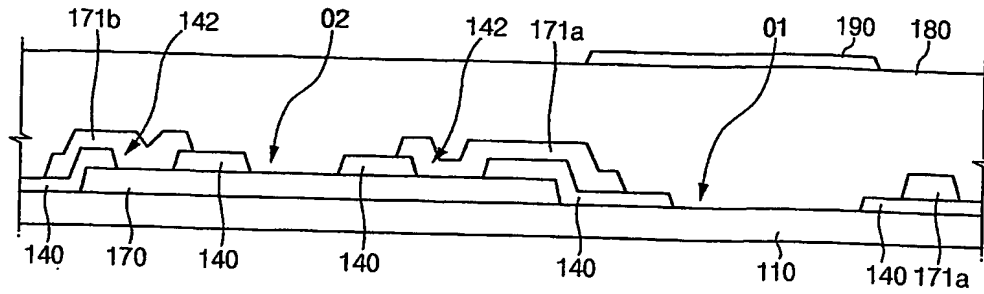


【도 1b】

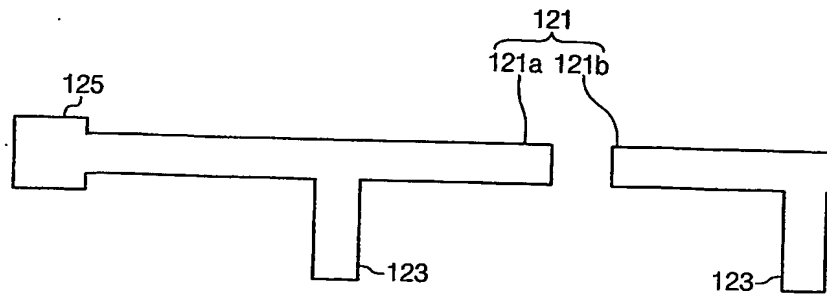
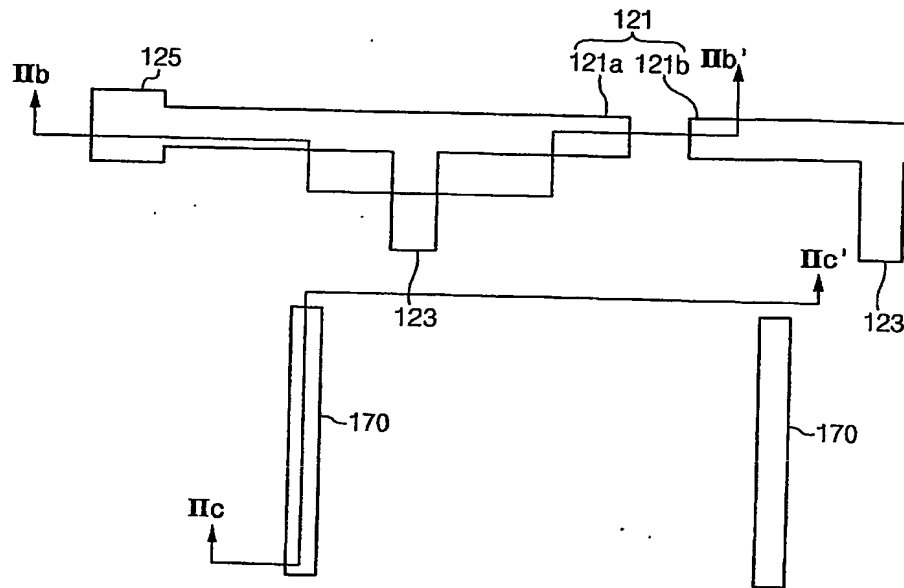




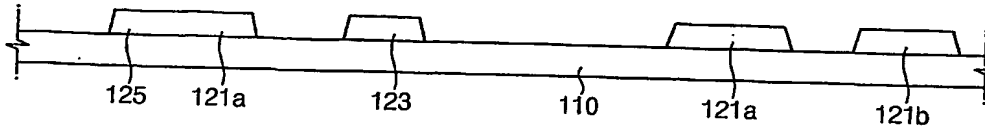
【도 1c】



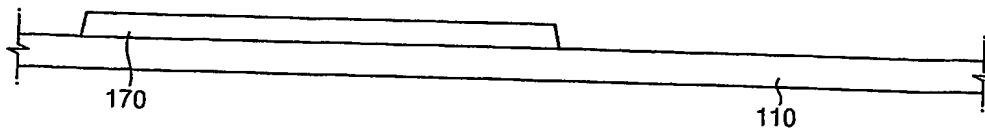
【도 2a】



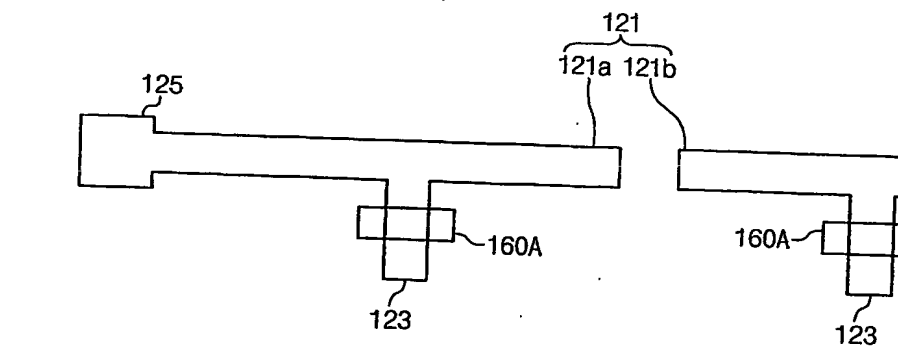
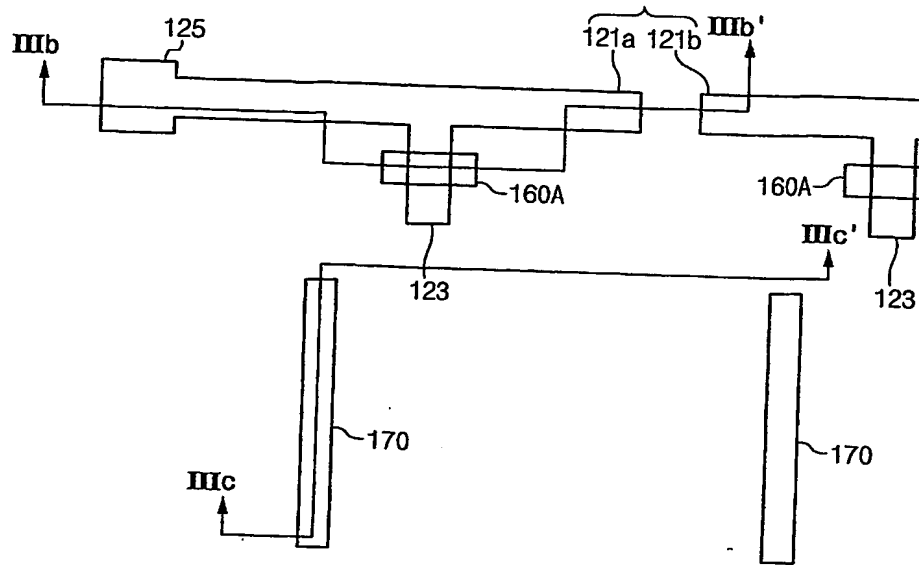
【도 2b】



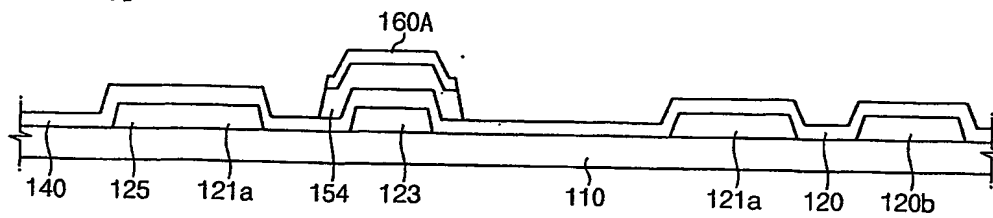
【도 2c】



【도 3a】



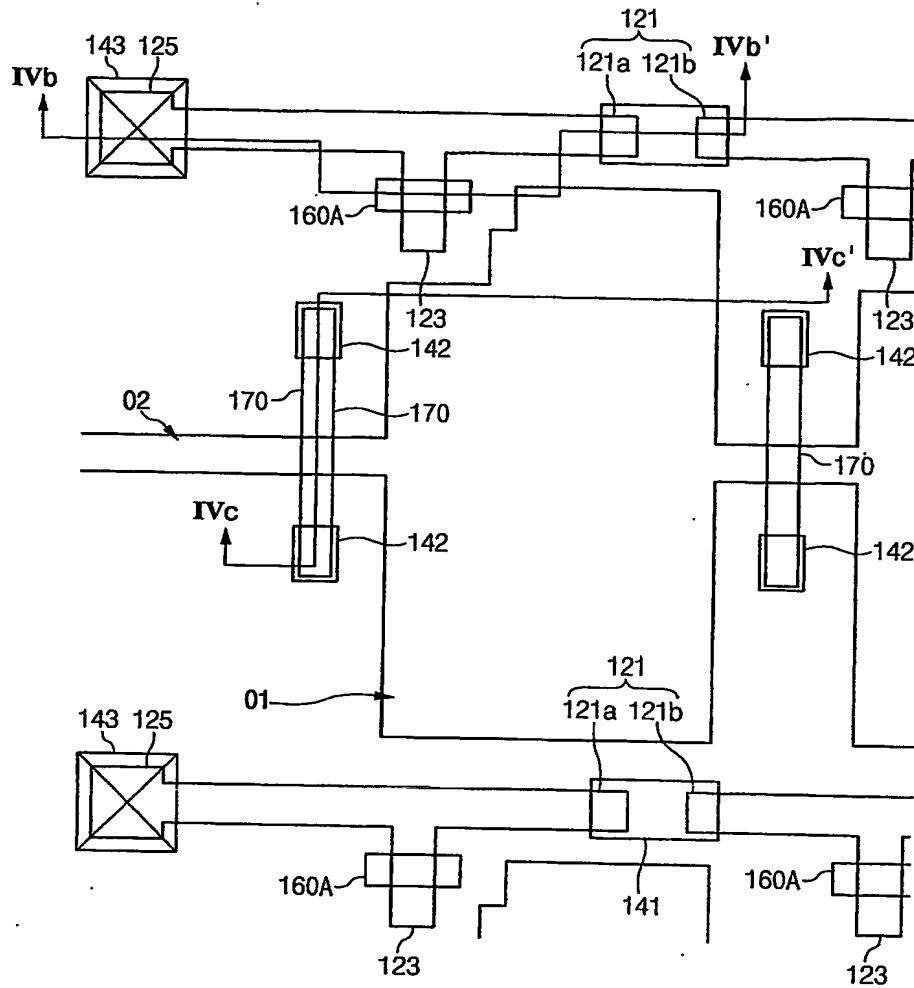
【도 3b】



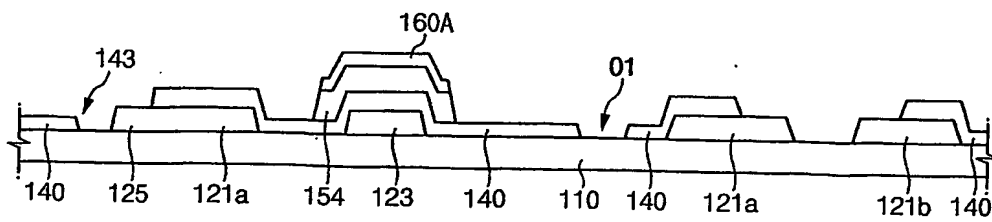
【도 3c】



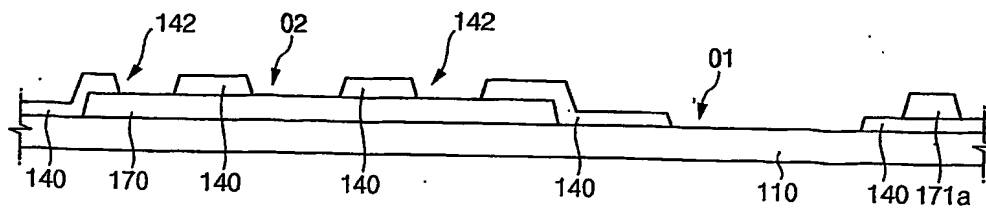
【도 4a】



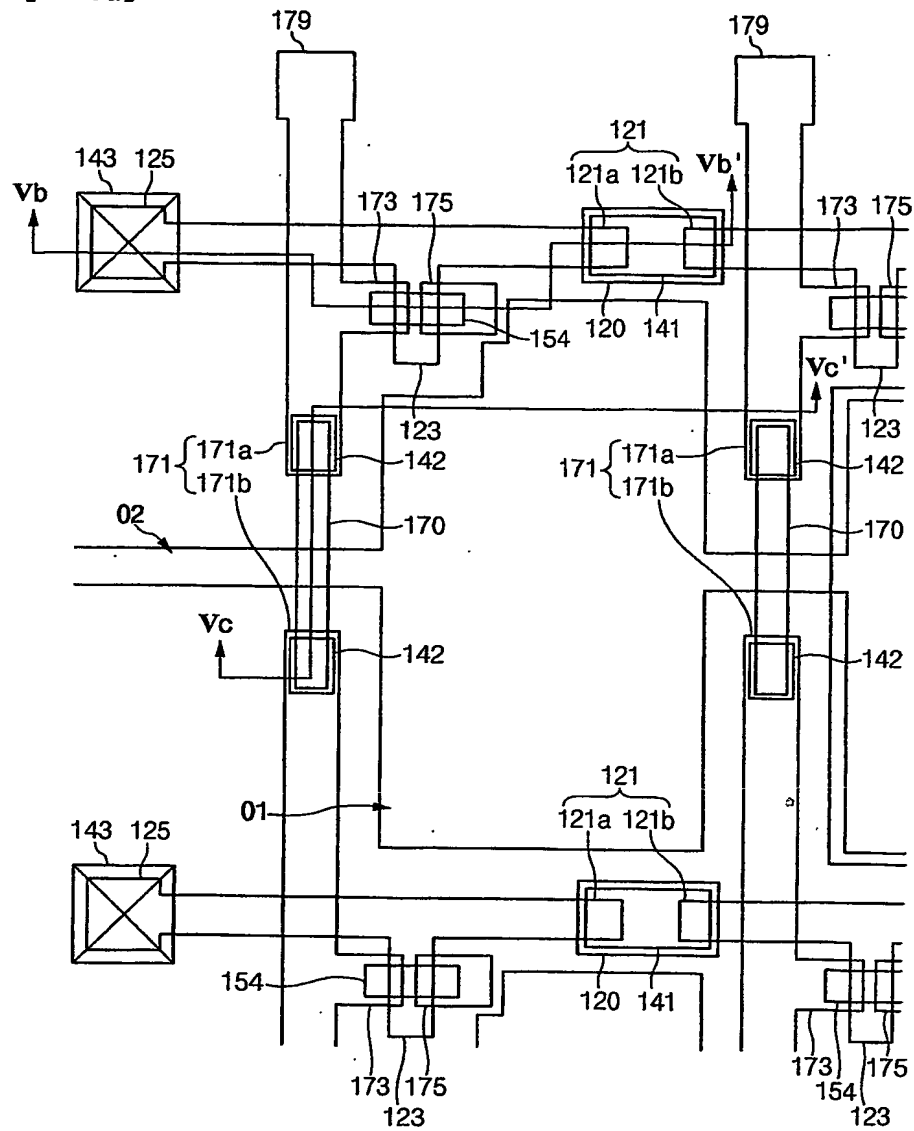
【도 4b】



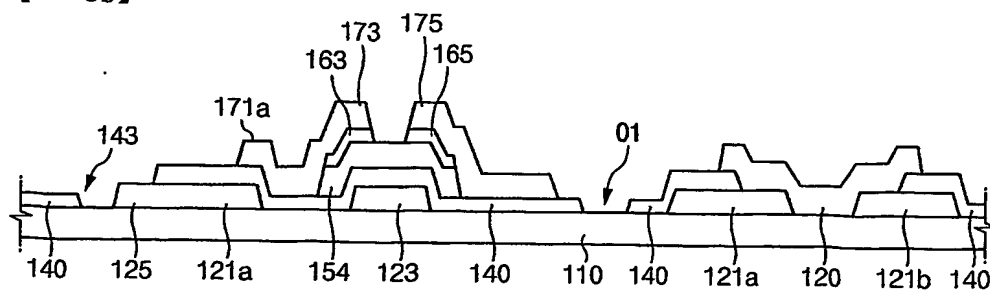
【도 4c】



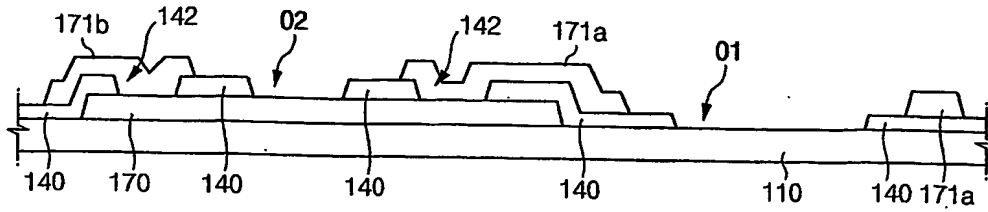
【도 5a】



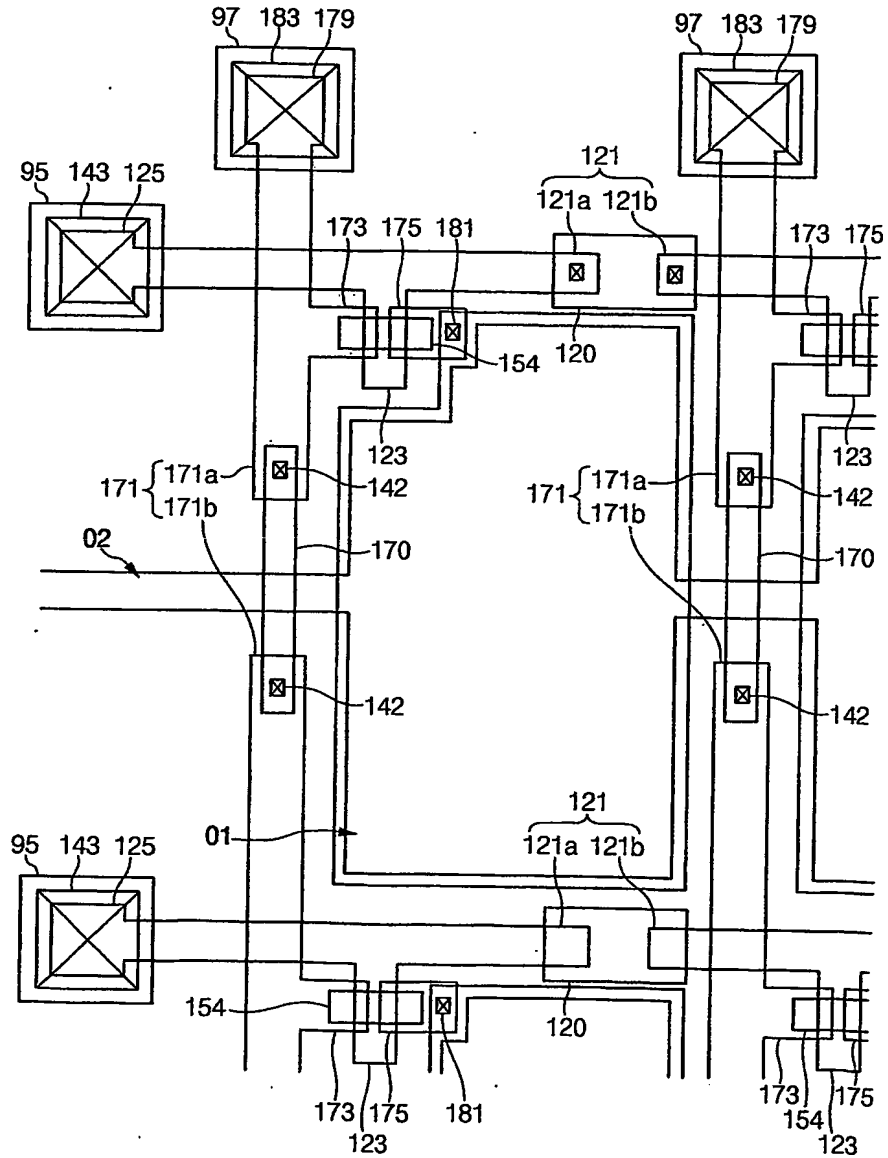
【도 5b】



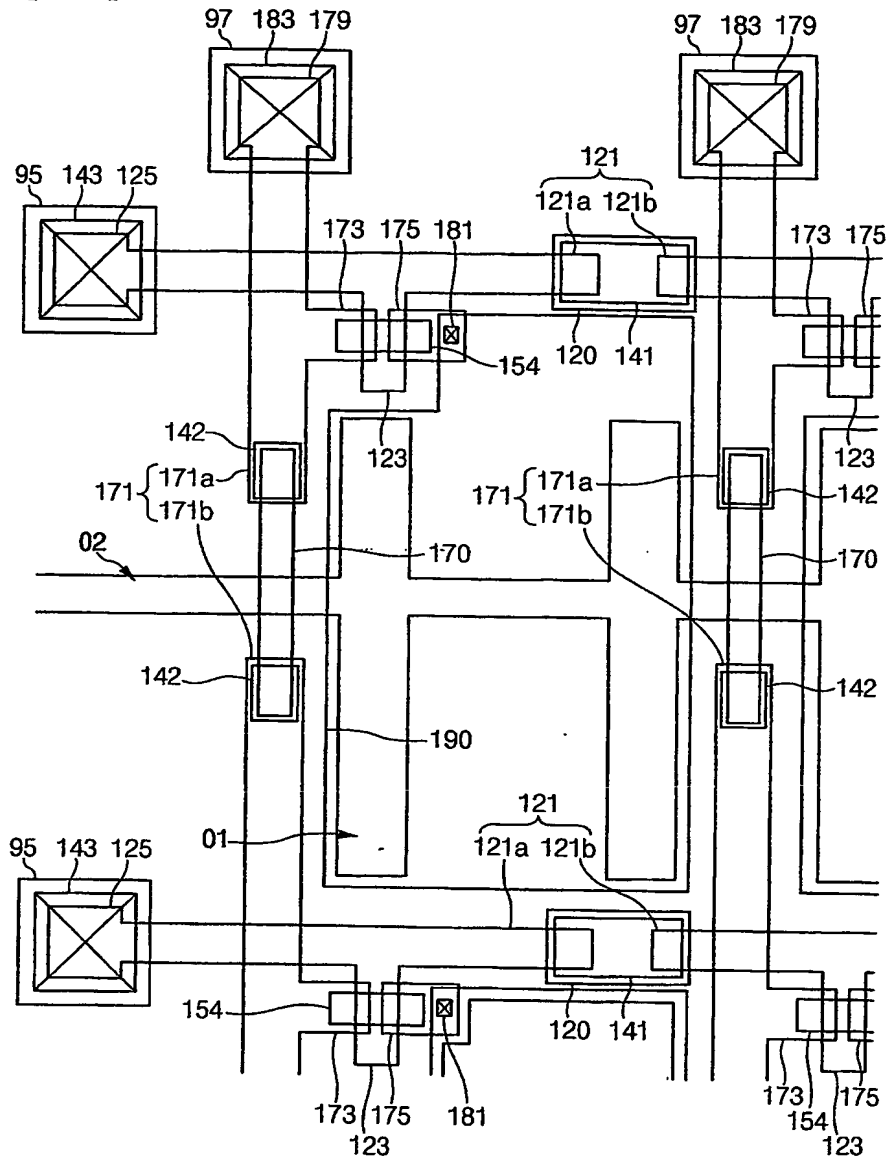
【도 5c】



【도 6】



【도 7】





【도 9】

